

18 MAY 2005

10/53554

PCT/JP 03/14561

17.11.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年11月19日

出 願 番 号
Application Number: 特願2002-335741
[ST. 10/C]: [JP2002-335741]

出 願 人
Applicant(s): 松下電器産業株式会社

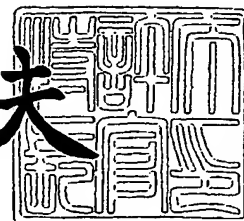
RECEIVED	
09 JAN 2004	
WIPO	PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年12月18日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 2706440018

【提出日】 平成14年11月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 中村 真

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 米田 卓司

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 栗本 秀彦

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 渡邊 剛章

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 110000040

 【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

 【代表者】 池内 寛幸

 【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フィルタ装置

【特許請求の範囲】

【請求項 1】 基準信号を発生する基準信号発生源と、
前記基準信号を分周して分周信号を出力する分周器と、
前記分周信号を入力信号とする基準フィルタと、
前記基準フィルタの出力信号と前記分周器からの分周信号とを入力信号として、
前記基準フィルタによる位相差に対応したデューティ比を有する信号を出力する位相差検出器と、
前記位相差検出器の出力信号と前記基準信号とを入力信号として、前記基準フィルタによる位相差に対応したデューティ比をカウントするカウンタと、
前記カウンタの出力信号からバラツキ補正のための制御信号をデコードするデコーダと、
前記デコーダから出力された制御信号を保持かつ出力するレジスタと、
前記レジスタから出力された制御信号に応じてカットオフ周波数を選択する信号処理を行う主フィルタとを備えたことを特徴とするフィルタ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特に携帯電話器の受信 I Q 復調回路に用いられ、半導体装置に内蔵されるバラツキ補正の可能なフィルタ装置に関する。

【0002】

【従来の技術】

近年、携帯電話器においては小型化への要求が大きく、フィルタ装置は半導体装置に内蔵化されるようになってきている一方で、通話待ち受け時間を可能な限り長時間維持するために、特に受信回路を構成する各部において徹底的な低消費電流化が望まれている。

【0003】

以下、従来の技術を説明する前に、半導体装置に内蔵されるフィルタ装置のバ

ラツキ補正の方法について説明する。

【0004】

なお、ここで言及するバラツキとは、フィルタ装置を構成する抵抗とコンデンサのそれぞれに発生する半導体装置特有の絶対値バラツキの積、いわゆるCR積のバラツキを指す。

【0005】

図3は、フィルタ装置に用いるフィルタ回路の基本構成の一例を示す回路図である。図3において、1は信号入力端子、2は信号出力端子、3は抵抗値がRである第1の抵抗、4は第2の抵抗で抵抗値は第1の抵抗3と同じくRであり、5は容量値がC1である第1のコンデンサ、6は容量値がC2である第2のコンデンサ、7はアクティブフィルタを構成するためのOPアンプである。

【0006】

以上のように構成されたフィルタ回路について、以下にバラツキ補正の方法を説明する。

【0007】

図3に示すフィルタの基本構成例において、信号入力端子1と信号出力端子2との間の伝達函数による、このフィルタのカットオフ周波数 f_c は以下の式(1)で表される。

【0008】

$$\begin{aligned} f_c &= 1 / (2\pi \times (R \times C_1)^{1/2} \times (R \times C_2)^{1/2}) \\ &= 1 / (2\pi \times R \times (C_1 \times C_2)^{1/2}) \quad \dots (1) \end{aligned}$$

フィルタを構成する抵抗やコンデンサの値がバラついた場合、そのCR積のバラツキを v として、その時のカットオフ周波数を f_{cv} とすると、カットオフ周波数 f_{cv} は以下の式(2)で表される。

【0009】

$$\begin{aligned} f_{cv} &= 1 / (2\pi \times (v \times R \times C_1)^{1/2} \times (v \times R \times C_2)^{1/2}) \\ &= 1 / (2\pi \times v \times R \times (C_1 \times C_2)^{1/2}) \quad \dots (2) \end{aligned}$$

CR積が、例えば-30%から+30% ($v=0.7 \sim 1.3$) の間でバラついている場合、カットオフ周波数 f_{cv} は+43%から-23%の間でバラつい

ていることになる。

【0010】

ここで、第1の抵抗3および第2の抵抗4の抵抗値Rを何らかの手段でバラツキの値の逆数倍（ $1/v$ 倍）に変化させることができるとする。例えば、バラツキが+30%（ $v=1.3$ ）である場合、抵抗値Rを $1/1.3=0.769$ 倍する。そうすると、見かけ上の抵抗値と容量値の積は式（1）を満たすようになるので、カットオフ周波数は f_c になり、所望の値を得ることが可能になる。

【0011】

以上のようにして半導体装置に内蔵されたフィルタ装置のバラツキ補正を行うことが可能である。

【0012】

次に、従来のバラツキ補正の可能なフィルタ装置について説明する。

【0013】

図4は、従来のフィルタ装置の構成例を示す回路ブロック図である。図4において、11は基準信号発生源、12は基準フィルタである。13は位相差検出器であり、ここでは掛け算回路で構成される。14は制御電圧発生器、15は本来の信号処理を行う主フィルタである。これらの構成のうち、基準フィルタ12と主フィルタ15は上記で説明したフィルタ回路で構成し、制御電圧発生器14から出力される制御電圧によって、図2に示す第1の抵抗3および第2の抵抗4の抵抗値Rを変化させることが可能である。抵抗値を変化させる手段としては、例えば抵抗をMOSトランジスタで構成して、そのコンダクタンスを変化させる方法がある。

【0014】

次に、以上のように構成されたフィルタ装置の動作について説明する。

【0015】

基準信号発生源11が発生する基準信号 $v_s(t)$ の周波数を f_s とすると、基準信号 $v_s(t)$ は以下の式（3）で表すことができる。

【0016】

$$v_s(t) = A \times \cos(2\pi \times f_s \times t) \quad \dots (3)$$

上記式 (3) で、 A は $v_s(t)$ の振幅、 t は時間を表す。

【0017】

この基準信号 $v_s(t)$ を基準フィルタ 12 に入力して得られる出力信号 $v_{LPF}(t)$ は以下の式 (4) で表される。

【0018】

$$v_{LPF}(t) = B \times \cos(2\pi \times f_s \times t + \theta) \quad \dots (4)$$

上記式 (4) で、 B は $v_{LPF}(t)$ の振幅、 θ は基準フィルタ 12 によって生じる位相差である。

【0019】

バラツキがない場合の、基準フィルタ 12 のカットオフ周波数が基準信号 $v_s(t)$ の周波数 f_s となるように、第 1 の抵抗 3 および第 2 の抵抗 4 の抵抗値 R と、第 1 のコンデンサ 5 の容量値 C_1 および第 2 のコンデンサ 6 の容量値 C_2 を設定している場合、位相差 θ は -90 度であり、バラツキが $+30\%$ ある場合の位相差 θ は -110.6 度である。

【0020】

基準信号 $v_s(t)$ と基準フィルタ 12 の出力信号 $v_{LPF}(t)$ を位相差検出器 13 に入力すると、これらの入力信号を掛け算して得られる出力信号 $v_{PD}(t)$ は以下になる。

【0021】

$$\begin{aligned} v_{PD}(t) &= v_s(t) \times v_{LPF}(t) \\ &= A \times B \times (\cos \theta + \cos(4\pi \times f_s \times t + \theta)) / 2 \end{aligned} \quad \dots (5)$$

この出力信号 $v_{PD}(t)$ のうち $\cos \theta$ の成分は、位相差 θ に対応する直流成分であり、時間 t に依存していない。この出力信号 $v_{PD}(t)$ を制御電圧発生器 14 に入力し、この制御電圧発生器 14 からは、 $\cos \theta$ に応じて基準フィルタ 12 のバラツキを打ち消すことのできるような抵抗値となるように制御電圧が出力する。このような制御電圧を基準フィルタ 12 に印加することによってフィードバックループが成立するのでバラツキは補正され、常に基準フィルタ 12 のカットオフ周波数を基準信号 $v_s(t)$ の周波数 f_s に一致させておくことが可

能になる。

【0022】

制御電圧発生器 14 が発生する制御電圧を、主フィルタ 15 の抵抗値をも変化させるように接続することにより、主フィルタ 15 についてもバラツキを補正することが可能になる。

【0023】

上記の構成をとることにより、半導体装置の製法上避けることのできないバラツキを回避したフィルタ装置を、半導体装置に内蔵することを可能にしている（例えば、特許文献 1 参照）。

【0024】

【特許文献 1】

特開 2002-76842 号公報（第 4-7 頁、第 1 図）

【0025】

【発明が解決しようとする課題】

しかしながら、上記従来構成では、フィードバックループを常時成立させてバラツキの補正を行う必要があるために、基準フィルタや位相差検出器および制御電圧発生器という、本来の信号処理系には無関係な構成要素を常に動作させておく必要がある。そのため、フィルタ装置の低消費電流化を実現することが困難であるという問題があった。

【0026】

本発明は、上記従来問題点を解決するもので、その目的は、低消費電流化が容易に達成できるバラツキ補正の可能なフィルタ装置を提供することにある。

【0027】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係るフィルタ装置は、従来と同様に主フィルタとともに基準フィルタおよび位相差検出回路を備えるとともに、バラツキによって基準フィルタで発生する位相差に対応した制御信号を保持しておくレジスタを備えている。

【0028】

この構成をとることによって、基準フィルタや位相差検出回路をバラツキの補正を行うために常時動作させる必要がなくなるため、フィルタ装置における低消費電流化を容易に実現することが可能になる。

【0029】

【発明の実施の形態】

以下、本発明の好適な実施形態について、図面を参照しながら説明する。

【0030】

図1は、本発明の一実施形態に係るフィルタ装置の一構成例を示す回路ブロック図である。

【0031】

図1において、11は基準信号発生源、21は分周器である。12は基準フィルタで、図3に示すような2次フィルタとして構成される。13は位相差検出器であり、この位相差検出器13は、掛け算回路22とコンパレータ23とで構成される。24はカウンタ、25は制御信号を発生するデコーダ、26はレジスタ、27(1)、27(2)、…、27(n)は制御信号線である。15は主フィルタであり、主フィルタ15は、それぞれ抵抗値 $R(1)$ 、 $R(2)$ 、…、 $R(n)$ を有する n 個の第1の抵抗31(1)、31(2)、…、31(n)と、それぞれの抵抗値が第1の抵抗31(1)、31(2)、…、31(n)の抵抗値と同じである n 個の第2の抵抗32(1)、32(2)、…、32(n)と、容量値 $C1$ を有する第1のコンデンサ33と、容量値 $C2$ を有する第2のコンデンサ $C2$ と、アクティブフィルタを構成するためのOPアンプ35とで構成される。

【0032】

第1の抵抗31(1)、31(2)、…、31(n)のいずれかおよび第2の抵抗32(1)、32(2)、…、32(n)のいずれかは、対応する制御信号線27の制御信号が活性化することで選択される。なお、以下では、 n 個の第1の抵抗31(1)、31(2)、…、31(n)をまとめて第1の抵抗31と、また n 個の第2の抵抗32(1)、32(2)、…、32(n)をまとめて第2の抵抗32とも称する。

【0033】

次に、以上のように構成された本実施形態のフィルタ装置の動作について説明する。

【0034】

基準信号発生源 11 が発生する基準信号 $v_{ref}(t)$ を、分周比 div の分周器 21 に入力して、その出力から分周信号 $v_s(t)$ を得る。この分周信号 $v_s(t)$ を基準フィルタ 12 に入力すると、基準フィルタ 12 の出力信号 $v_{LPF}(t)$ には、この基準フィルタ 12 によって分周信号 $v_s(t)$ に対して位相差 θ が生じる。

【0035】

従来例と同様に、バラツキがない場合の、基準フィルタ 12 のカットオフ周波数が基準信号 $v_s(t)$ の周波数 f_s となるように、第 1 の抵抗 31 および第 2 の抵抗 32 のそれぞれの抵抗値 R と、第 1 のコンデンサ 33 の容量値 C_1 および第 2 のコンデンサ 34 の容量値 C_2 とを設定している場合、位相差 θ は -90 度であり、バラツキが $+30\%$ ある場合の位相差 θ は -110.6 度となる。

【0036】

基準フィルタ 12 の出力信号 $v_{LPF}(t)$ は、位相差検出器 13 に入力され、掛け算回路 22 において分周信号 $v_s(t)$ と掛け合わせることで信号 $v_{PD}(t)$ を得ることは、入力信号の一方が基準信号かまたは分周信号という違いはあるが、従来例と同様である。

【0037】

掛け算回路 22 の出力信号 $v_{PD}(t)$ は、コンパレータ 23 に入力され、所定の基準レベルと比較されて、位相差検出器 13 の出力信号として矩形波信号 $V_{PD}(t)$ が得られる。この矩形波信号 $V_{PD}(t)$ は、分周信号 $v_s(t)$ の 2 倍の周波数を有し、基準フィルタ 12 によって生じる位相差 θ に応じてそのデューティ比 D が変動する。ここで、デューティ比 D とは、矩形波信号 $V_{PD}(t)$ のハイレベル時間区間の、矩形波信号 $V_{PD}(t)$ の周期に対する比率である。このデューティ比 D は、位相差 θ を用いて以下の式 (6) で表すことができる。

【0038】

$$D = (180 - \theta) / 180 \quad \dots (6)$$

例えば、基準フィルタ12にバラツキが+30%ある場合のデューティ比Dは0.39であり、バラツキがない場合のデューティ比Dは0.5である。

【0039】

位相差検出器13から出力される矩形波信号VPD(t)は、カウンタ24に入力されて、基準信号vref(t)をクロックとしてカウントされる。図2は、分周器21の分周比divを32とした場合のカウンタ24に入力される矩形波信号VPD(t)と基準信号vref(t)とのタイミング関係を示す図である。図2において、S1は基準信号vref(t)を、S2はCR積のバラツキがない場合の矩形波信号VPD(t)を、またS3はCR積のバラツキが+30%である場合の矩形波信号VPD(t)を示す。

【0040】

カウンタ24は、矩形波信号VPD(t)のハイレベル区間において基準信号vref(t)の個数をカウントする。図2の場合のカウント数Pcntは、バラツキのない場合は8、バラツキが30%の場合は6.17で、端数を切り捨てて6となる。デューティ比Dとカウント数Pcntとの関係は、分周比divを用いて以下の式(7)で表すことができる。

【0041】

$$Pcnt = div \times D / 2 \quad \dots (7)$$

したがって、基準フィルタ12によって発生する位相差θとカウント数Pcntとの関係は、上記の式(6)と式(7)から以下の式(8)のようになる。

【0042】

$$Pcnt = div \times (180 - \theta) / 360 \quad \dots (8)$$

ただし、式(7)、式(8)ともに小数点以下を切り捨てる。式(8)で表されるカウント数Pcntはバラツキが-30%から+30%の場合、分周器21の分周比divを32とすると、CR積のバラツキ量に応じて6から10までの5つの値となる。このカウント数Pcntは、デコーダ25に入力され、これらのカウント数Pcntに対応した制御信号が出力されて、レジスタ26に保持され

る。

【0043】

レジスタ26によって保持されている制御信号は、この場合、バラツキ量に応じて5つの制御信号線27(1)、27(2)、…、27(5)のいずれかを活性化することで、第1の抵抗31(1)、31(2)、…、31(5)のいずれかおよび第2の抵抗32(1)、32(2)、…、32(5)のいずれかを選択する。

【0044】

主フィルタ15は、これら選択された第1の抵抗31および第2の抵抗32と、第1のコンデンサ33および第2のコンデンサ34とから決定されるカットオフ周波数を持つことができるようになる。

【0045】

例えば、バラツキが+30%のときのカウンタ24によるカウント数Pcntは6であり、そのとき制御信号線27(1)によって抵抗値R(1)の第1の抵抗31(1)と第2の抵抗32(1)が選択されたとする。この抵抗値R(1)を、CR積のバラツキがない場合にフィルタのカットオフ周波数が所望の値となる抵抗値Rの0.816倍に補正しておく、見かけ上のバラツキ量は+6.1%となる。このとき、カットオフ周波数は所望値に対して-5.7%となり、補正をしない場合の所望のカットオフ周波数からのバラツキ量-23%に対して大幅に改善することが可能になる。

【0046】

表1に、バラツキに対する基準フィルタ12の位相差 θ 、カウンタ24のカウント数Pcntと抵抗の補正值の例、および補正後における見かけ上のバラツキ量の例を示す。ただし、この表1においては、抵抗値と容量値との積のバラツキのみを考慮しており、その他のバラツキ量や誤差、例えばフィルタを構成する素子の温度特性、位相差検出器13の検出精度のバラツキやカウンタ24のカウントの精度などは考慮していない。

【0047】

【表 1】

CR積のバラツキ (%)		位相差 θ (度)		カウント数 Pcnt	抵抗上の 補正值	補正による見かけ上の CR積のバラツキ (%)	
30	15.1	-110.6	-101.3	6	0.816	6.1	-6.1
15	0.1	-101.2	-90.1	7	0.930	6.9	-6.9
0	-13	-90.0	-78.8	8	1.070	7.0	-7.0
-13.1	-25	-78.7	-67.6	9	1.235	7.4	-7.4
-25	-30	-67.5	-62.7	10	1.380	3.4	-3.4

【0048】

以上のように、本実施形態によれば、基準フィルタの位相差を検出した結果得ることのできるバラツキ補正のための制御信号をレジスタに保持することで、一度バラツキの検出を行った後はバラツキ検出のための基準フィルタや位相差検出器は不要となり、その動作を停止させることが可能になる。

【0049】

なお、本実施形態では、基準フィルタおよび主フィルタの回路形式を、基本的に図3に示す2次フィルタとして説明および例示したが、本発明はこれに限定されることなく、基準フィルタを2次フィルタとして、主フィルタを任意の次数のフィルタとして構成し、半導体装置に内蔵された抵抗とコンデンサを用いるものであれば、どのような回路形式のフィルタでも良い。

【0050】

また、本実施形態では、抵抗値を補正する場合について説明および例示したが、本発明はこれに限定されることなく、コンデンサの容量値や、抵抗値と容量値の積としてそれぞれの値を補正することも可能である。

【0051】

さらに、位相差検出器についても、基準フィルタによって生じる位相差に応じたデューティ比を有する矩形波信号を出力するものであれば、どのような回路形式のものを用いても良い。

【0052】

【発明の効果】

以上説明したように、本発明によれば、主フィルタのカットオフ周波数を選択するための制御信号の値をレジスタに保持することで、基準フィルタおよび位相差検出器の動作を停止することができるので、低消費電流化を容易に図ることができる、バラツキ補正の可能な優れたフィルタ装置を提供することが可能になる、という格別な効果を奏する。

【図面の簡単な説明】

【図1】 本発明の一実施形態に係るフィルタ装置の一構成例を示す回路ブロック図

【図2】 図1の位相差検出器の出力信号 $v_{PD}(t)$ と基準信号 $v_{ref}(t)$ とのタイミング関係を示す図

【図3】 従来のバラツキ補正の可能なフィルタ装置に用いる2次のフィルタ回路の基本構成を示す回路図

【図4】 従来のバラツキ補正の可能なフィルタ装置の構成例を示す回路ブロック図

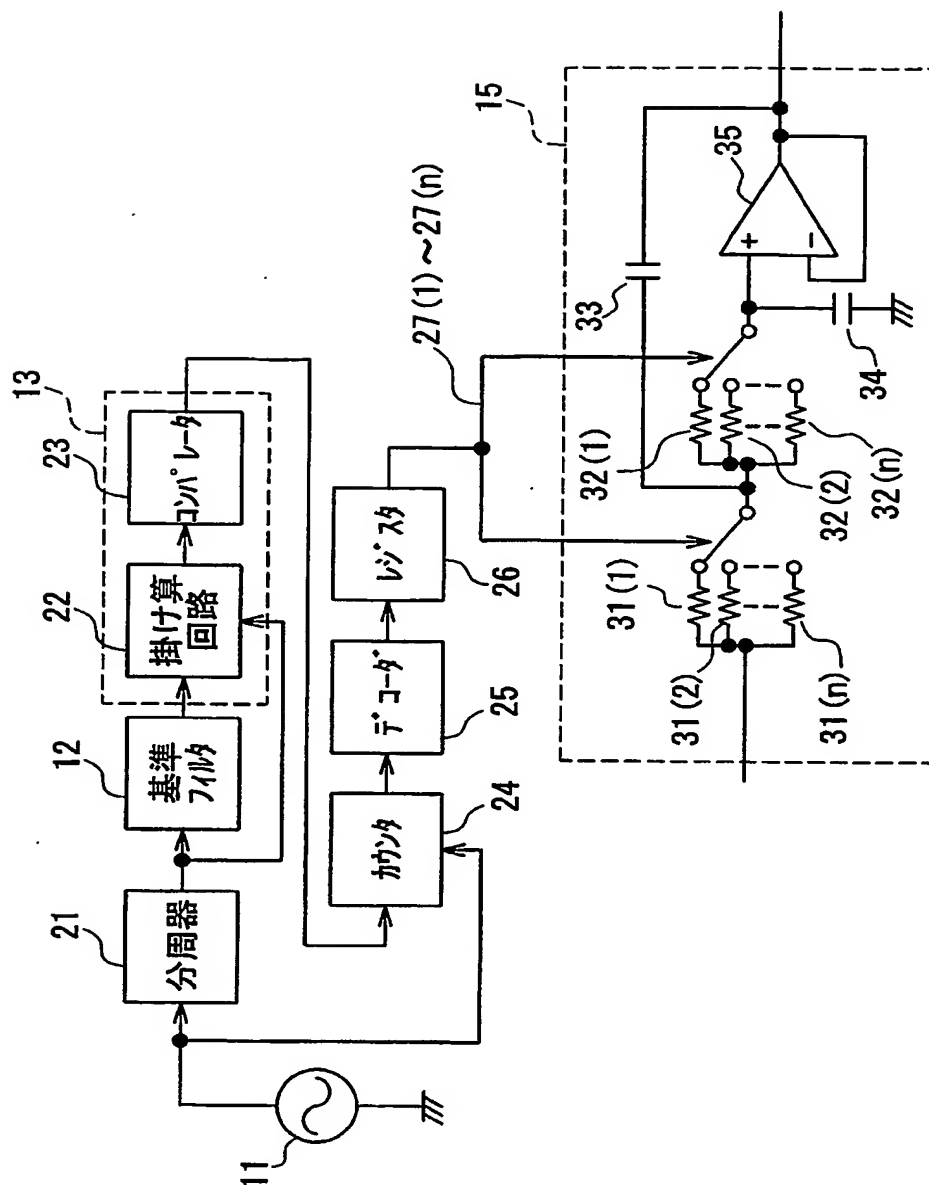
【符号の説明】

- 1 信号入力端子
- 2 信号出力端子
- 3 第 1 の抵抗
- 4 第 2 の抵抗
- 5 第 1 のコンデンサ
- 6 第 2 のコンデンサ
- 7 アクティブフィルタを構成する OP アンプ
- 1 1 基準信号発生源
- 1 2 基準フィルタ
- 1 3 位相差検出器
- 1 4 制御電圧発生器
- 1 5 主フィルタ
- 2 1 分周器
- 2 2 掛け算回路
- 2 3 コンパレータ
- 2 4 カウンタ
- 2 5 デコーダ
- 2 6 レジスタ
- 2 7 (1) ~ 2 7 (n) 制御信号線
- 3 1 (1) ~ 3 1 (n) 第 1 の抵抗
- 3 2 (1) ~ 3 2 (n) 第 2 の抵抗
- 3 3 第 1 のコンデンサ
- 3 4 第 2 のコンデンサ
- 3 5 アクティブフィルタを構成する OP アンプ

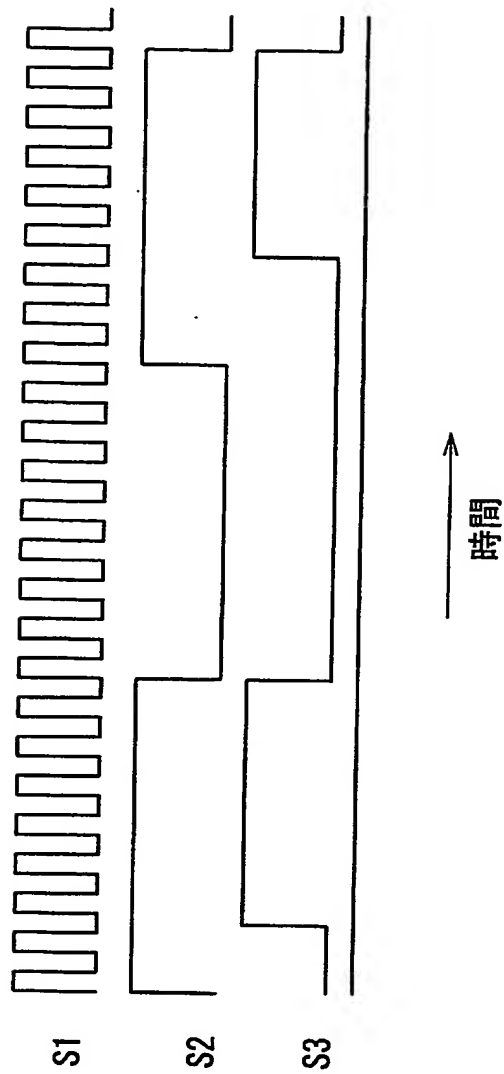
【書類名】

図面

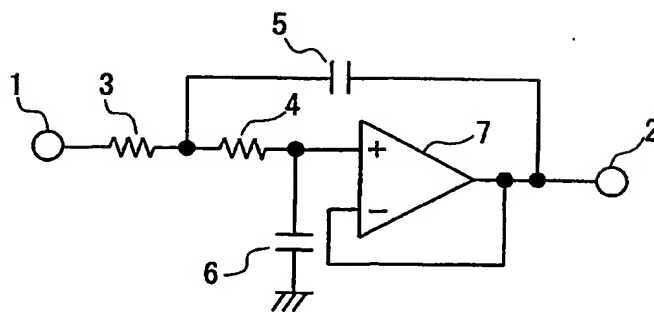
【図 1】



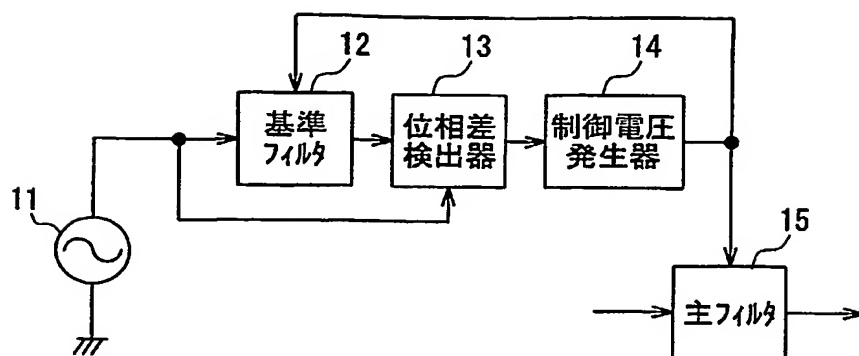
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 低消費電流化が容易に達成できるバラツキ補正の可能なフィルタ装置を提供する。

【解決手段】 位相差検出器 1 3 により基準フィルタ 1 2 の位相差を検出し、その検出結果であるバラツキ補正のための制御信号をレジスタ 2 6 に保持し、保持されている制御信号に応じて主フィルタ 1 5 のカットオフ周波数を選択する。これにより、一度バラツキの検出を行った後はバラツキ検出のための基準フィルタや位相差検出器は不要となり、その動作を停止することで、低消費電流化を図ることができる。

【選択図】 図 1

特願 2 0 0 2 - 3 3 5 7 4 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社